

DIALOG(R)File 345:Inpadoc/Fam.& Legal Stat

(c) 2003 EPO. All rts. reserv.

10358986

Basic Patent (No,Kind,Date): JP 4034979 A2 920205 <No. of Patents: 001>

SEMICONDUCTOR DEVICE (English)

Patent Assignee: SEIKO INSTR INC

Author (Inventor): KATO YUICHI

IPC: *H01L-029/784;

Derwent WPI Acc No: G 92-092128

JAPIO Reference No: 160210E000070

Language of Document: Japanese

Patent Family:

Patent No	Kind	Date	Applic No	Kind	Date
JP 4034979	A2	920205	JP 90143030	A	900530 (BASIC)

Priority Data (No,Kind,Date):

JP 90143030 A 900530

DIALOG(R)File 347:JAPIO

(c) 2003 JPO & JAPIO. All rts. reserv.

03669879 **Image available**

SEMICONDUCTOR DEVICE

PUB. NO.: **04-034979** [JP 4034979 A]

PUBLISHED: February 05, 1992 (19920205)

INVENTOR(s): KATO YUICHI

APPLICANT(s): SEIKO INSTR INC [000232] (A Japanese Company or Corporation),
JP (Japan)

APPL. NO.: 02-143030 [JP 90143030]

FILED: May 30, 1990 (19900530)

INTL CLASS: [5] H01L-029/784

JAPIO CLASS: 42.2 (ELECTRONICS -- Solid State Components)

JAPIO KEYWORD: R097 (ELECTRONIC MATERIALS -- Metal Oxide Semiconductors,
MOS)

JOURNAL: Section: E, Section No. 1203, Vol. 16, No. 210, Pg. 70, May
19, 1992 (19920519)

ABSTRACT

PURPOSE: To avoid the formation of a back channel for restraining the off leakage by isolating a source and a drain from an insulator.

CONSTITUTION: A gate insulating film 6 and a gate electrode 7 are provided on a channel region while a source 4 and a drain 5 are provided on both sides of the channel 3. At this time, the source 4 and the drain 5 must be formed to be isolated from an insulating film body 1. On the other hand, a depletion layer 9 as a drain must reach the underneath insulator 1. Accordingly, an SOI- MOSFET in the small drain capacity capable of rapid operations and in the low off leakage current due to the back channel formation can be manufactured.

⑫ 公開特許公報(A) 平4-34979

⑤ Int.Cl.⁵

識別記号

庁内整理番号

⑬ 公開 平成4年(1992)2月5日

H 01 L 29/784

9056-4M

H 01 L 29/78

3 1 1 S

審査請求 未請求 請求項の数 1 (全3頁)

⑭ 発明の名称 半導体装置

⑮ 特 願 平2-143030

⑯ 出 願 平2(1990)5月30日

⑰ 発 明 者 加 藤 祐 一 東京都江東区亀戸6丁目31番1号 セイコー電子工業株式会社内

⑱ 出 願 人 セイコー電子工業株式会社 東京都江東区亀戸6丁目31番1号

⑲ 代 理 人 弁理士 林 敬之助

明 細 書

1. 発明の名称

半導体装置

2. 特許請求の範囲

絶縁体上に設けられた半導体活性領域と、前記半導体活性領域内のチャネル領域と、前記チャネル領域上に設けられたゲート絶縁膜と、前記ゲート絶縁膜上に設けられたゲート電極と、前記半導体活性領域内で前記チャネル領域の両側に隣接して設けられたソース・ドレイン領域からなる構造において、前記ソース・ドレイン領域が前記絶縁体に接することなく、しかも前記ソース・ドレイン領域に電圧を印加したときに形成される空乏層が前記絶縁膜に接していることを特徴とする半導体装置。

3. 発明の詳細な説明

(産業上の利用分野)

本発明は、SOI基板や多結晶薄膜Si薄膜で

に形成されたMISFETに関する。

(発明の概要)

本発明は、SOIや多結晶Si薄膜に形成されたMISFETにおいて、ソース・ドレイン拡散層が下層の絶縁体にまで突き抜けることなく、しかしソース・ドレインに電圧を印加したときに形成される空乏層が下層の絶縁体に接することにより、バックチャネルによるオフリーク電流をドレイン容量の増大を同時に抑制することを可能にした。

(従来技術)

従来のSOE技術によるMOSFETの一例を第3図を用いて説明する。1は下地絶縁体、2は半導体活性層である。この中にチャネル領域3、ソース4、ドレイン5があり、チャネル3上にはゲート酸化膜6、さらにゲート電極7が設けられている。ソース4、ドレイン5は半導体層2の上下方向全体にわたっている。

(発明が解決しようとする課題)

しかしながら、絶縁体1と半導体層2との界面

状態が不安定なため、半導体層2の裏面に反転層または空乏層（いわゆるバックチャネル8）が形成され、ここに電流が流れてオフリークとなってしまう。

〔課題を解決するための手段〕

そこで、ソース4、ドレイン5を絶縁体2から離すことによって、バックチャネルの形成を防ぎオフリークを抑制した。この距離を離しすぎるとドレイン-基板間の容量が増えて、SOI基板を使用した意味が半減してしまう。本発明ではドレイン5に電圧が印加されたときに延びる空乏層が絶縁体2に接するようドレイン5の深さをコントロールした。

〔作用〕

以上の手段により、バックチャネルによるオフリークを抑え、しかもドレイン容量も増加しない。SOI基板上のMISFETが実現可能となった。

〔実施例〕

本発明による実施例の断面図を第1図に示す。1は下地絶縁体、2は半導体活性層である。3の

チャネル領域上にばゲート絶縁膜6、ゲート電極7が設けられており、チャネル3の両側にソース4、ドレイン5が設けられている。ソース4及びドレイン5は絶縁体1から分離されるよう形成する必要がある、ソース4、ドレイン5の深さを d_{so} 、半導体活性層2の厚みを t_{so} 、とすると、

$$d_{so} < t_{so} \quad \dots (1)$$

としなければならない。 d_{so} はイオン注入時の飛程距離と、その後の熱処理による拡散から決まる値で、計算、シミュレーション、実測等から求めておく。

第2図は、第1図の実施例においてドレインに電源電圧を印加したときの断面図である。ドレインの空乏層8が下地絶縁体1まで届かなければならない。空乏層8の巾を w_o 、とすると、

$$d_{so} + w_o > t_{so} \quad \dots (2)$$

とする必要がある。 w_o は電源電圧、半導体層2とソース4、ドレイン5の濃度、半導体層2の誘電率、温度から計算することができる。

〔発明の効果〕

9・・・空乏層

以上

出願人 セイコー電子工業株式会社

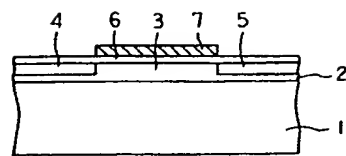
代理人 弁理士 林 敏 之 助

以上、(1)、(2)式を満足する d_{so} 、 w_o 、 t_{so} を選ぶことによって、ドレイン容量が小さく高速で、しかもバックチャネル形成によるオフリーク電流の少ないSOIMOSFETを得ることができた。

4. 図面の簡単な説明

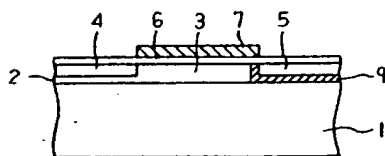
第1図は本発明による半導体装置の断面図、第2図は本発明による半導体装置における電圧印加時の断面図、第3図は従来の半導体装置の断面図である。

- 1・・・下地絶縁体
- 2・・・半導体活性層
- 3・・・チャネル
- 4・・・ソース
- 5・・・ドレイン
- 6・・・ゲート絶縁膜
- 7・・・ゲート電極
- 8・・・バックチャネル



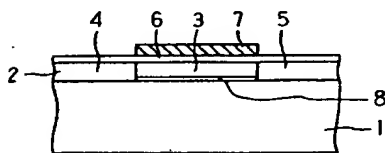
半導体装置の断面図

第 1 図



電圧印加時の半導体装置の断面図

第 2 図



従来の半導体装置の断面図

第 3 図